

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-132358
(43)Date of publication of application : 15.07.1985

(51)Int.Cl.

H01L 27/08
H01L 29/78

(21)Application number : 58-240303
(22)Date of filing : 20.12.1983

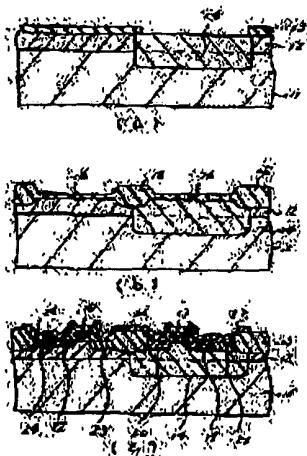
(71)Applicant : NEC CORP
(72)Inventor : MIZUSHIMA KAZUYUKI

(54) COMPLEMENTARY MOS INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To suppress the occurrence of a latchup phenomenon without increasing the number of photoworkings in the manufacturing steps by providing an N type epitaxial layer of high impurity density higher than a one conductive type (N type) substrate on the substrate and then forming a P type well reaching the substrate.

CONSTITUTION: An N type epitaxial layer 12 having the same conductive type as an N type substrate 11 and an impurity density larger than the substrate 11 is grown on the substrate 11. The impurity density of the layer 12 is set by considering the surface density after forming a P type well formed later. A mask layer 13 of an oxide film is coated on a portion except a P type well forming region, and a P type well 14 is formed by an ion implantation or diffusion. The impurity density of the well 14 is so formed as to be low in the layer 12 and the maximum value in a substrate region deeper than the epitaxial layer. Such an impurity density distribution is formed to raise the base density of a parasitic vertical N-P-N type transistor, and the current amplification factor is accordingly decreased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭60-132358

⑫ Int.Cl. 1

H 01 L 27/08
29/78

識別記号
102

庁内整理番号
6655-5F
8422-5F

⑬ 公開 昭和60年(1985)7月15日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 相補型MOS集積回路装置

⑮ 特願 昭58-240303

⑯ 出願 昭58(1983)12月20日

⑰ 発明者 水嶋 和之 東京都港区芝5丁目33番1号 日本電気株式会社内
⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
⑲ 代理人 弁理士 内原 音

明細書

1. 発明の名称

相補型MOS集積回路装置

2. 特許請求の範囲

一導電型半導体基板と、該半導体基板の上に設けられた該半導体基板よりも高い不純物濃度を有する一導電型エピタキシャル層と、該エピタキシャル層表面から該エピタキシャル層を経て前記半導体基板に達するように設けられた反対導電型ウェルと、該ウェル内であつてかつ前記エピタキシャル層内に設けられた二つの一導電型領域をソース・ドレインとして構成される一導電型チャネルのMOSFETと、前記ウェル以外の前記エピタキシャル層に設けられた二つの反対導電型領域をソース・ドレインとして構成される反対導電型チャネルのMOSFETとを含むことを特徴とする相補型MOS集積回路装置。

3. 発明の詳細を説明

(技術分野)

本発明は相補型MOS集積回路装置に関する。

(従来技術)

相補型MOS集積回路装置には、その構造上、PNPとNPNの2種の寄生バイポーラトランジスタが形成され、この二つの寄生バイポーラトランジスタにより寄生サイリスタが構成され、入出力端子に過大な電圧や電流が印加された時オン状態となり、いわゆるラッチャップ現象を生ずるという問題がある。

図1は従来の相補型MOS集積回路装置の一例の断面図である。

N型半導体基板1にPウェル2を設け、Pウェル内にN型のソース・ドレイン領域3、4とP+領域5を作り、ソース・ドレイン領域間にゲートGを設けてNチャネルFETを作ると、基板領域にP型のソース・ドレイン領域6、7とN+領域8を作り、ソース・ドレイン領域間にゲートGを設けてPチャネルFETを作ると、この構

造において、Pウェル2に形成されたFETのソース9をエミッタ、Pウェル2をベース、源板1をコレクタとする寄生NPN型トランジスタと、源板領域に形成されたFETのソース6をエミッタ、源板1をベース、Pウェル2をコレクタとする寄生PNP型トランジスタが存在する。導電型をすべて逆にすると逆導電型の寄生バイオードトランジスタが形成される。この2種の寄生トランジスタとPウェルの等価的な抵抗well及びサブストレートの等価的な抵抗subより寄生サイリスタが構成される。この寄生サイリスタは、入出力端子に過大な外来雜音電圧や電流が印加された時オン状態となり、いわゆるラッチアップ現象を起こす。これにより電源Vcc-接地GND端子間に過大電流が流れゲートバイスの破壊あるいは劣化を起こすことが知られている。

従来、相補型MOS集積回路装置において、ラッチアップ現象を防止するため、サイリスタを構成する寄生NPNトランジスタと寄生PNPトランジスタの電流増幅率を下げる手段が

とられている。すなわち寄生NPNトランジスタQ1の電流増幅率を下げるため、図1 図に示すように、ベース幅に相当する距離d1を大きくとり、寄生PNPトランジスタの電流増幅率を下げるため、ベース幅に相当する距離d2を大きくとっている。しかし d1を大きくとることは不純物拡散によるウェルの横方向の広がりも大きくなることを意味しまた d2を大きくとることはNチャンネル、Pチャンネルの各FET間距離が大きくなるため高集成化が困難となる。

図2 図は従来の相補型MOS集積回路装置の他の例の断面図である。

この相補型MOS集積回路装置では、ラッチアップを防止する一手段としてN型半導体源板1にP+埋込層9を設け、N-型エピタキシャル層10を成長せしめ、その後にPウェル2をイオン注入や熱拡散等の手順で形成し埋込層9と接触させるPウェル形成方法がとられている。この方法を適用して作成した相補型MOS構造では、Pウェルの抵抗wellに相当するウェルの等価的な抵抗を

低減させることができ、また寄生NPNトランジスタのベース濃度を上げると共に相殺するため、電流増幅率も低下しラッチアップはよりにくくなる。

しかし、この方法では、埋込層形成のためのフォトワーク工程と不純物導入工程、Pウェル形成のためのフォトワーク工程と不純物導入工程とを重複する工程が複雑になる欠点がある。

(発明の目的)

本発明の目的は、上記欠点を除去し、製造工程におけるフォトワーク回数を増さず、また集成密度を低下させることなく、ラッチアップ現象の発生を抑えた相補型MOS集積回路装置を提供することにある。

(発明の構成)

本発明の相補型MOS集積回路装置は、一導電型基板と、該半導体基板の上に設けられた該半導体基板よりも高い不純物濃度を有する一導電型エピタキシャル層と、該エピタキシャル層表面から該エピタキシャル層を通りて前記半導体基板に達す

るよう設けられた反対導電型ウェルと、該ウェル内であつてかつ前記エピタキシャル層内に設けられた二つの一導電型領域をソース・ドレインとして構成される、一導電型チャンネルのMOSFETと、前記ウェル以外の前記エピタキシャル層に設けられた二つの反対導電型領域をソース・ドレインとして構成される反対導電型チャンネルのMOSFETとを含んで構成される。

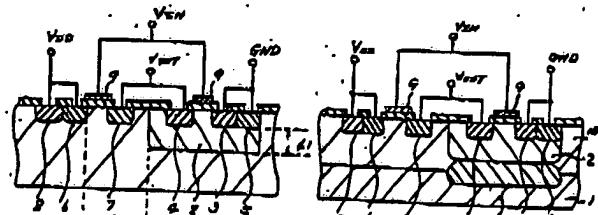
(実施例)

次に、本発明の実施例について図面を用いて説明する。

図3 図(a)～(c)は本発明の一実施例の製造方法を説明するための工程順に示した断面図である。

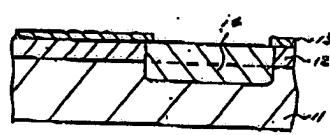
まず、図3 図(a)に示すように、N型半導体11の上に源板と同導電型で源板よりも不純物濃度の大きいN型エピタキシャル層12を成長させる。エピタキシャル層12の厚さは後に形成するソース・ドレイン層の深さより深く、かつPウェルより浅くなるように設定する。また、エピタキシャル層12の不純物濃度は、後で形成するPウェル

特許第50-132358 (4)

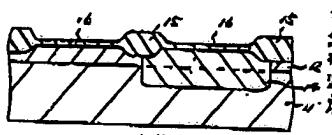


第1図

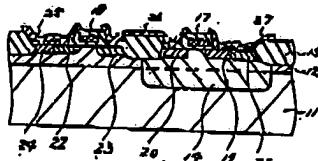
第2図



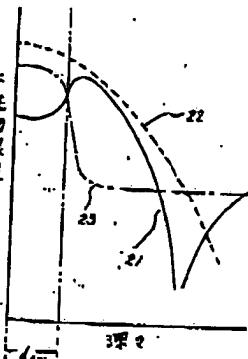
(a)



(b)



第3図



第4図



Creation date: 19-07-2003

Indexing Officer: VBOUK - VIOLA BOUK

Team: OIPEBackFileIndexing

Dossier: 10112953

Legal Date: 11-04-2002

No.	Doccode	Number of pages
1	CRFL	5

Total number of pages: 5

Remarks:

Order of re-scan issued on